

Xilinx FPGA를 활용한 DDR4 Memory Controller 구현

손정훈¹, 임지환², 유호영^{1*}

충남대학교 전자공학과¹, 어보브반도체²

e-mail : jhsohn.cas@o.cnu.ac.kr, jihwan.lim@abov.co.kr, hyyoo@cnu.ac.kr

DDR4 Memory Controller design using Xilinx FPGA

Jeonghun Son¹, Jihwan Lim² and Hoyoung Yoo^{1*}

Chungnam National University¹, ABOV Semiconductor²

Abstract

This Paper implements a DDR4 Memory Controller using Xilinx FPGA. By Utilizing the MIG (Memory Interface Generator) IP provided by Xilinx's Vivado, along with Microblaze, AXI Bus, DDR4 Memory, and UART IP, the system is implemented on the KCU116 Evaluation Board.

The implementation demonstrates the use of the DDR4 Memory Controller for read/write operations with DDR4 SDRAM, proving the feasibility of utilizing Xilinx FPGA for DDR4 Memory Controller Implementation.

I. 서론

최근 AI에 대한 연구가 활발히 진행되며 효율적인 연구를 위해 ASIC (Application Specific Intergrated Circuit)에 비해 낮은 개발비용과 활용도가 높은 FPGA (Field-Programmable Gate Array)를 활용한 연구 및 개발이 활발히 이루어 지고 있다. 또한 AI 연구 중 대규모 신경망 모델과 딥러닝 가속기와 같이 많은 양의 데이터를 메모리에서 읽고 쓰는 연구에서 메모리에 대한 접근은 필수적이다.

본 논문에서는 연구자들이 쉽게 접근할 수 있는 Xilinx사의 FPGA를 활용하여 DDR4 Memory

Controller를 구현한다. Xilinx의 FPGA를 사용하는 장점으로서는 쉽게 재구성 가능하고, 유저가 FPGA IP에 대한 접근이 쉽다는 점이다. 본 논문에서는 Xilinx사 KCU116 Evaluation Board, Vivado v2022.1, Vitis v2022.1, Tera Term을 활용하여 DDR4 Memory Controller의 구현 및 검증에 초점을 맞추어서 기술한다.

1.1 DDR SDRAM

DDR SDRAM은 Double Data Rate (DDR) Synchronous Dynamic Random Access Memory (SDRAM)의 약자로, 클럭 주기당 두 번 데이터를 전송하는 방식의 메모리이다. 기존의 SDRAM은 클럭 신호의 상승 엣지에서만 데이터를 전송하여 과거 프로세서의 처리 속도의 발전에 대응하는 데이터 전송 속도를 달성하지 못했다. 이에 대응하여 제시된 DDR SDRAM은 클럭 신호의 상승 엣지 및 하강 엣지에서 데이터를 전송하여, 동일한 클럭 신호 속도에서 2배 많은 데이터 전송률을 달성할 수 있어 처리 속도가 빠르며 효율적인 메모리 대역폭 사용이 가능하다[1].

본 논문에서 활용할 DDR4 메모리의 경우 최대 3200MT/s의 Data Rate를 가지며, 제조사에서는 실장 가능한 부품 형태의 메모리 모듈 또는 DIMM (Dual-Inline Memory Module) 형태로 모듈을 제공하고 있다.

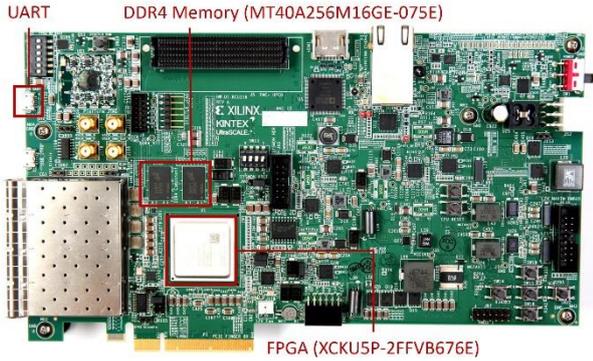


그림 1. KCU116 Evaluation Board

1.2 Xilinx MIG IP

Xilinx MIG (Memory Interface Generator) IP는 Xilinx FPGA 전용 Memory Controller와 Interface를 생성하는데 사용되는 무료 소프트웨어 도구이다. 해당 IP의 경우 본 논문에서 활용할 DDR4 SDRAM을 포함하여 DDR3, DDR2, LPDDR 등 다양한 Memory Controller IP를 지원하고, 사용할 메모리 모듈에 맞는 Custom을 할 수 있는 직관적인 유저 인터페이스를 제공하며, 만일 IP에서 제공되지 않는 메모리에 모듈은 유저가 직접 메모리 모듈 정보를 추가하여 활용할 수 있는 장점을 갖고 있다[2].

본 논문에서 활용할 DDR4 SDRAM MIG IP를 활용하기 위해서는 Ultrascale Series 또는 그 이상의 FPGA Device를 사용해야 한다[3].

1.3 Xilinx KCU116 Evaluation Board

본 논문에서는 KCU116 Evaluation Board를 활용하여 MIG IP를 구현한다. KCU116 EV Board에는 Kintex Ultrascale+ Series FPGA, DDR4 규격의 메모리가 부품 형태로 실장되어 있어 DDR4 Memory Controller 구현 및 검증하기에 적합하다.

KCU116 Evaluation Board에는 512MB Memory가 2개 실장되어 있고, 해당 메모리는 1.2V 96-ball TFBGA Package 형태, 2666MT/s의 Data Rate을 갖는 특징이 있다[4].

II. 본론

본론에서는 MIG IP Custom Option과 KCU116 Evaluation Board에 맞게 Custom한 MIG IP, 그리고 MIG IP를 활용하기 위한 FPGA IP Configuration으로 나누어 소개함으로써 MIG IP를 구성하기 위해 FPGA에 구현한 Hardware system을 소개한다.

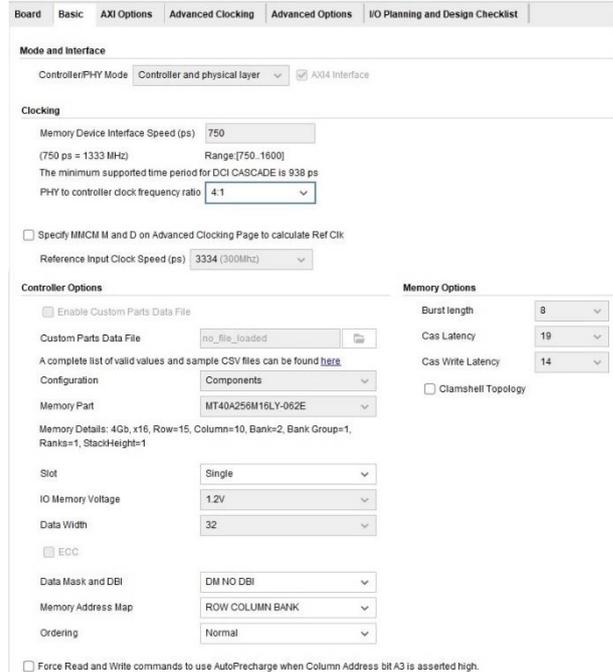


그림 2. IP Custom for KCU116 Evaluation Board

2.1 MIG IP Custom Option

MIG IP를 활용하기 위해 사용할 FPGA, DDR4 메모리 SPEC 정보, Memory IP에 연결될 Reference Input Clock에 대한 정보가 필요하다. 해당 정보를 참고하여 표 1에 해당하는 정보를 MIG IP에 입력하면 표 2에 해당하는 내용을 Custom 할 수 있다.

표 2에 기재된 MIG option은 IP Configuration시 가장 중요한 옵션이며, 이외에도 Custom 할 수 있는 다양한 옵션이 있다. Memory Part 정보에 따라 많은 경우의 수가 발생하므로 설정하고자 하는 옵션에 대한 이해를 통해 원하는 IP를 구성할 수 있다.

2.2 IP Custom for KCU116 Evaluation Board

본 논문에서 활용할 KCU116 Evaluation Board는 XCKU5P-2FFVB676E Kintex Ultrascale+ FPGA, MT40A256M16GE-075E DDR4 메모리, 300MHz Clock Oscillator를 System Clock으로 활용하고 있다[4]. 상기 스펙에 맞춰 MIG IP를 그림 2와 같이 Custom 하였고, 정리한 내용은 표 1, 2의 KCU116 열과 같다.

2.3 FPGA IP Configuration

KCU116 Evaluation Board에 맞게 Custom한 MIG IP로 생성된 DDR4 Memory Controller를 활용하기 위해 Xilinx의 Soft processor core인 Microblaze와 BRAM과 같이 Microblaze를 활용하기 위한 IP, AXI DMA (Direct Memory

표 1. MIG IP customize에 필요한 정보

Parts	User define	KCU116
Memory	Components / DIMMs	Components
Memory	Parts Name (Custom Enable)	MT40A256M1 6LY-062E
Oscillator	70-666 MHz	300 MHz
Oscillator	Differential / No buffer	Differential

표 2. Custom 가능한 MIG Option

Categories	User Option	KCU116
Memory Device Interface Speed	938-1600 ps	750 ps
Data Width	8-72	32
Data Mask and DBI	Dependent on input options	DM NO DBI
Cas Latency / Cas Write Latency	Dependent on input options	19 / 14
Data width	Dependent on input options	256

표 3. FPGA 내 시스템 구성에 활용한 IP

Categories	IP Name	
Processor	Microblaze	
AXI	AXI Direct Memory Access	
	AXI Uartlite	
	AXI SmartConnect	
System	Microblaze Debug Module	
	Processor System Reset	
	Clocking Wizard	
Peripherals	DDR4 SDRAM (MIG)	
	BRAM	Block Memory Generator
		Local Memory Bus
		LMB BRAM Controller

적용하여 peripheral에 연결하고, 시뮬레이션에서는 Vivado v2022.1을 통해 Bitstream을 업로드하고, Vitis v2022.1과 Tera term을 활용하여 KCU116 Evaluation Board의 DDR4 Memory에 Text data를 read/write 동작을 검증함으로써 구성한 시스템으로 DDR4 Memory Controller를 활용할 수 있음을 증명하고자 한다.

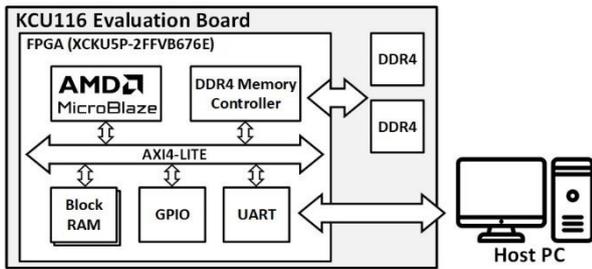


그림 3. 시스템 블록 다이어그램

Access)와 같은 Bus IP, Clocking Wizard IP, FPGA와 PC 간 통신을 위한 UART IP 등 Xilinx IP를 활용하여 FPGA 내 시스템을 구현한다. 시스템 구성을 위한 사용 IP의 리스트는 표 1, 2와 같고, 해당 IP를 활용한 시스템 블록 다이어그램은 그림 3과 같다.

III. 실험

앞서 기술한 내용을 정리하면 KCU116 Evaluation Board에 Xilinx IP를 활용하여 Microblaze, BRAM, AXI IP, DDR4 Memory 및 UART로 시스템 구성을 완료하였다. 구현 및 실험에서는 시스템으로 DDR4 Memory Controller 활용 가능 여부를 확인하기 위해 시뮬레이션을 진행한다.

시스템에 구성된 IP 중 BRAM, UART, AXI DMA, DDR4 Memory 등 사용한 peripheral에 프로세서가 접근하기 위해서 Memory Mapped I/O 기술을

3.1 Memory Mapped I/O

BRAM, UART, AXI DMA, DDR4 Memory에 프로세서에서 접근하기 위해 Memory Mapped I/O를 적용한다. 실제 Memory map을 적용하기 위해서 Vivado의 Address Editor에서 그림 4와 같이 Memory map address를 적용한다.

3.2 Software Configuration

그림 4에서 Mapping한 DDR4 Memory 영역 내부의 한 영역에 text data를 write 및 read, 그 결과값을 출력하는 C code를 작성하였다. 해당 코드를 통해 출력된 데이터 값을 UART 통신을 통해 연결된 PC에서 Tera Term을 통해 결과를 확인할 수 있다.

그림 6의 코드는 ASCII Code를 0x80010000 부터 0x80010010까지의 주소에 Text를 Write 한 후, 동일한 주소에서 Data를 Read하여 그 값을 출력함으로써 앞서 진행한 Write 값과 동일한 값을 출력하는지 확인하여 정상적으로 Read, Write를 확인할 수 있는 코드이다.

KCU116 Evaluation Board를 Vitis v2022.1 및 Tera Term이 설치되어 있는 PC와 연결함으로써 JTAG, UART 통신으로 FPGA를 Programming하고, 실험 결과를 확인한다. 해당 실험을 통해 아래 그림 6과 같이 DDR4 Memory에 정상적으로 Write, Read 동작 후 그 결과값을 출력함을 확인할 수 있다.

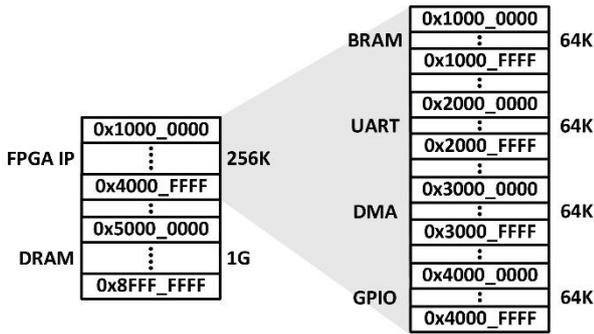


그림 4. Memory Map

```
int main()
{
    init_platform();
    char data[11];

    // Write data to DDR4 Address
    print(" Write data to DDR4 Memory... \r\n\r\n");
    print(" ... \r\n\r\n");

    *(char*)0x80010000 = 'D';
    *(char*)0x80010001 = 'D';
    *(char*)0x80010002 = 'R';
    *(char*)0x80010003 = '4';
    *(char*)0x80010004 = ' ' ;
    *(char*)0x80010005 = 't';
    *(char*)0x80010006 = 'e';
    *(char*)0x80010007 = 's';
    *(char*)0x80010008 = 't';
    *(char*)0x80010009 = '!';
    *(char*)0x8001000A = '!';

    print(" Write complete!\r\n\r\n");

    // Read data from Same Address
    print(" Read data from DDR4 Memory...\r\n\r\n");
    print(" ... \r\n\r\n");

    for (int i = 0; i <= 10; i++) {
        data[i] = *(char*)(0x80010000 + i);
    }

    print(" Read complete!\r\n\r\n");

    // Print read data to UART
    xil_printf(" Read data: ");
    for (int i = 0; i < 11; i++) {
        xil_printf("%c", data[i]);
    }

    cleanup_platform();
    return 0;
}
```

그림 5. DRAM Write/Read 동작 C 코드

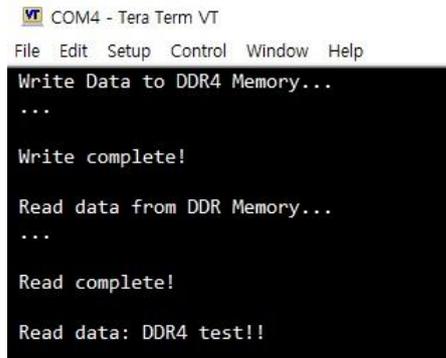


그림 6. Tera Term에 출력되는 Read 값 결과

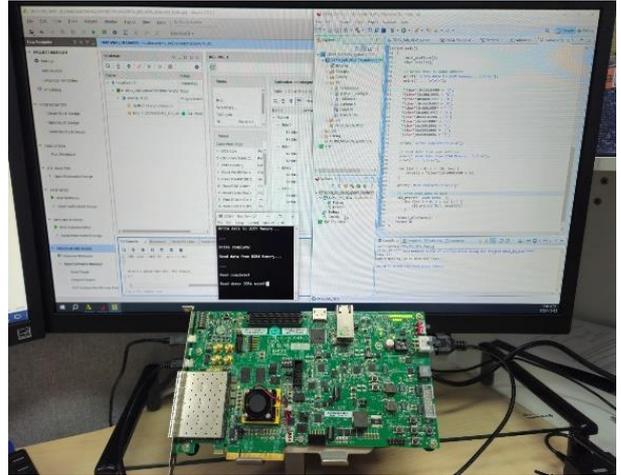


그림 7. KCU116 Evaluation Board 실험 환경

IV. 결론

본 논문에서는 Xilinx FPGA를 활용한 DDR4 Memory Controller 구현을 위해 시스템을 구성한 후, 동작 확인을 위해 Vivado v2022.1으로 시스템을 FPGA 업로드 후 테스트 C 코드를 Vitis v2022.1를 통해 FPGA를 프로그래밍 한 후 Tera Term을 통해 DDR4 Memory Read/Write 동작을 확인하여 Xilinx FPGA를 활용한 DDR4 Memory Controller 구현이 가능한 점을 입증하였다.

Acknowledgements

This work was supported by IITP(Institute of Information & communications Technology Planning & Evaluation) – ITRC (Information Technology Research Center) (IITP-2024-RS-2024-00436406, 50%), PIM Semiconductor Design Research Center (2022-0-01170) grant funded by Korea government (MSIT), by the National Research Foundation of Korea(NRF) grant funded by the Korea government (MSIT) (No.2022R1A5A8026986), and The EDA tool was supported by the IC Design Education Center (IDEC).

참고문헌

- [1] www.microcontrollertips.com/understanding-ddr-sdram-faq/
- [2] www.xilinx.com/products/intellectual-property/mig.html
- [3] Xilinx, Ultrascale Architecture-Based FPGAs Memory IP Product Guide (PG150), April 2022.
- [4] docs.amd.com/v/u/en-US/ug1239-kcu116-eval-bd